



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0040242
Application Number

출원년월일 : 2003년 06월 20일
Date of Application
JUN 20, 2003

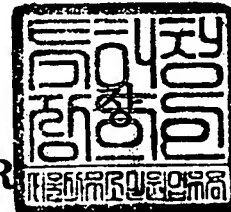
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 07 29 일
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.20
【발명의 명칭】	메모리 장치용 비트라인 프리차지 신호 발생기
【발명의 영문명칭】	Bit line precharge signal generator for a memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이창혁
【성명의 영문표기】	LEE, Chang Hyuk
【주민등록번호】	650607-1820718
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리 (주)하이닉스반도체
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비트라인에서 발생하는 시간 지연을 감소시킨 메모리 장치의 비트라인 프리차지 신호 발생기에 관한 것이다.

복수개의 비트라인 감지 증폭기 어레이를 구비하는 메모리 장치에 사용하는 본 발명에 따른 비트라인 프리차지 신호 발생기는 제 1 제어 신호를 발생하는 제어신호 발생부와, 제 1 제어 신호에 의하여 제어되는 복수개의 비트라인 프라차지 신호 드라이버를 구비한다.

여기서, 복수개의 비트라인 감지 증폭기 어레이와 복수개의 비트라인 프라차지 신호 드라이버는 교대로 위치하며, 각 비트라인 프라차지 신호 드라이버는 인접하여 있는 비트라인 감지 증폭기 어레이 각각에 제 2 신호를 인가한다.

본 발명에 따른 비트라인 프리차지 신호 발생기를 사용하는 경우, 1) 짧은 시간내에 필요한 동작을 수행할 수 있으며, 2) 불필요한 신호 라인을 줄일 수 있으며, 3) 따라서 전체 레이아웃 면적을 감소시킬 수 있다.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

메모리 장치용 비트라인 프리차지 신호 발생기{Bit line precharge signal generator for a memory device}

【도면의 간단한 설명】

도 1a 는 종래의 비트라인 프리차지 신호 발생기로부터 발생한 프리차지 신호가 비트라인 감지 증폭기 어레이에 인가되는 경로를 도시한 도면.

도 1b 는 도 1a 에 도시된 비트라인 프리차지 신호 발생기.

도 1c 는 일반적인 비트 라인 감지 증폭기의 일예.

도 2a 는 본 발명에 따른 비트라인 프리차지 신호 발생기의 실시예.

도 2b 는 제어신호 발생부의 일예.

도 3 은 도 2a 에 도시된 비트라인 감지증폭기 어레이 각각은 복수개의 비트 라인 감지 증폭기로 이루어짐을 설명하기 위한 도면.

도 4 는 비트라인 프리차지 신호 드라이버의 일예.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 메모리 장치의 비트라인 프리차지 신호 발생기에 관한 것으로, 특히 비트라인에서 발생하는 시간 지연을 감소시킨 메모리 장치의 비트라인 프리차지 신호 발생기에 관한 것이다.

- <9> 일반적으로, DRAM, SDRAM, DDR DRAM 등과 같은 메모리 장치는 리딩 동작시에 메모리 셀에 저장된 데이터를 비트라인으로 전달하고 비트라인 감지 증폭기에서 그 데이터를 감지 증폭한 다음, 데이터 라인을 통하여 전달한 후, 비트라인을 프리차지시켜 다음 동작을 준비한다.
- <10> 마찬가지로, 메모리 장치는 라이트 동작시에 데이터 버스를 통하여 데이터를 비트라인에 전달된 후, 비트라인 감지 증폭기에서 증폭한 다음 그 데이터를 메모리 셀에 저장한 후, 비트라인을 프리차지시켜 다음 동작을 준비하게 된다.
- <11> 여기서, 비트라인을 프리차지하기 위한 신호는 비트라인 프리차지 신호 발생기로부터 발생된다.
- <12> 도 1a 는 종래의 비트라인 프리차지 신호 발생기(140)로부터 발생한 프리차지 신호(bl_p, ble_qd, ble_qu)가 비트라인 감지 증폭기 어레이(100, 110, 120, 130)에 인가되는 경로를 블록도로 간단히 도시한 도면이다.
- <13> 도시된 바와같이, 비트라인 프리차지 신호 발생기(140)로부터 출력된 신호(bl_p, ble_qd, ble_qu)는 복수개의 비트라인 감지 증폭기 어레이(100, 110, 120, 130)에 인가된다. 참고로, 각 비트라인 감지 증폭기 어레이는 복수개의 비트라인 감지 증폭기로 이루어진다. 여기서, 신호 bl_p 는 비트라인 프리차지 신호를 나타내고, 신호 ble_qd 는 비트라인 이퀄라이즈 다운 신호(bitline equalize down signal)를 나타내고, 신호 ble_qu 는 비트라인 이퀄라이즈 업 신호(bitline equalize up signal)를 나타낸다. 참고로, 비트라인 감지 증폭기의 양쪽으로는 메모리 셀 어레이가 위치하며, 신호 ble_qu 와 신호 ble_qd 는 각각 상부와 하부의 셀 어레이에 위치하는 비트라인을 제어하는 신호이다(도 1c 참조).

- <14> 도 1b 는 도 1a 에 도시된 비트라인 프리차지 신호 발생기(140)의 일예를 도시한다. 도 1b 에서, 입력신호(bsx_u)는 출력신호(blequ)를 활성화시키는 신호를 나타내고, 입력신호(bsx_d)는 출력신호(bleqd)를 활성화시키는 신호를 나타낸다.
- <15> 도 1c 는 일반적인 비트 라인 감지 증폭기(도 1a 의 비트라인 감지 증폭기 어레이에 포함되어 있음)의 일예를 도시한다.
- <16> 도시된 바와같이, 비트라인 감지 증폭기는 증폭부와, 증폭부 위쪽에 배치된 제 1 비트라인 이퀄라이징 트랜지스터(N1)와, 증폭부 위쪽에 배치된 제 1 비트라인 격리 트랜지스터(N11, N12)와, 증폭부 아래쪽에 위치한 제 2 비트라인 격리 트랜지스터(N21, N22)와, 증폭부 아래쪽에 위치한 제 2 비트라인 이퀄라이징 트랜지스터(N2)와, 증폭부와 제 2 비트라인 격리 트랜지스터(N21, N22)사이에 배치된 비트라인 프리차지 트랜지스터(N3, N4)를 구비한다.
- <17> 여기서, 제 1 비트라인 이퀄라이징 트랜지스터(N1)는 신호 blequ 에 의하여 구동되며, 제 2 비트라인 이퀄라이징 트랜지스터(N2)는 신호 bleqd 에 의하여 구동되며, 비트라인 프리차지 트랜지스터(N3, N4)는 신호 blp 에 의하여 구동된다.
- <18> 도 1c 에서, 제어신호(C1, C2)는 비트라인(BL, /BL)과 증폭부를 연결시키는 기능을 갖는다. 예컨대, 리드 동작시, 비트라인에 실린 데이터는 감지 증폭기에 전달되어 증폭되며, 라이트 동작시, 증폭부로 전달된 데이터는 비트라인으로 전달된다.
- <19> 또한, 전술한 바와같이, 신호 blequ 와 신호 bleqd 는 각각 상부와 하부의 셀 어레이에 위치한 비트라인을 제어하는 신호이다
- <20> 하이 레벨의 신호(blp)가 인가되는 경우, 증폭부가 위치하는 비트라인의 전압은 제어 전압(vblp)에 의하여 이퀄라이즈된다.

- <21> 도 1c 에 도시된 감지 증폭기의 기능은 메모리 장치를 연구하는 당업자에게 주지되어 있으며, 또한 본 발명이 개시하고자 하는 기술적 사상과는 차이가 있으므로 구체적인 설명은 생략하기로 한다.
- <22> 그런데, 도 1a, 1b 에 도시된 종래의 비트라인 발생기와 비트라인 감지 증폭기 어레이는 동작에 있어서 다음과 같은 문제점을 가지고 있다.
- <23> (1) 비트라인 프리차지 신호 발생기로부터 출력된 복수개의 비트라인 신호(bl_p, ble_qd, ble_qu)를 복수개의 비트라인 감지 증폭기 어레이에 전달하므로, 신호 라인의 길이가 길어지고 그 때문에 라인 저항이 커지며, 또한 레이아웃에 어려움이 있다.
- <24> (2) 주지된 바와같이, 비트라인 프리차지 신호 발생기로부터 출력된 비트라인 신호(bl_p, ble_qd, ble_qu)는 비트라인 감지 증폭기내에 있는 트랜지스터의 게이트(예를들어, 도 1c 에서, 신호 bl_p 를 수신하는 트랜지스터(N3, N4), 신호 ble_qd 을 수신하는 트랜지스터(N2), 신호 ble_qu 을 수신하는 트랜지스터(N1))에 인가되어 한 쌍의 비트라인을 스위칭 시키는 역할을 한다. 여기서, 스위칭 역할을 하는 트랜지스터는 한 쌍의 비트라인사이에 위치한다. 즉, 비트라인 신호(bl_p, ble_qd, ble_qu)들 각각은 그에 대응하는 트랜지스터의 게이트에 인가되며, 각 신호에 대응하는 트랜지스터를 턴온/오프시키며, 트랜지스터가 턴온되는 경우 한 쌍의 비트라인은 일정 전압으로 이퀄라이징된다. 도 1a 에 있어서, 하나의 비트라인 감지 증폭기 어레이는 복수개의 비트라인 감지 증폭기로 이루어지며, 비트라인 신호들은 그에 대응하는 트랜지스터(N1, N2, N3, N4)에 인가된다. 그런데, 비트라인 신호를 수신하는 트랜지스터의 게이트에는 커패시터 성분이 존재하기 때문에, 비트라인의 신호 라인의 저항 성분과 비트라인 신호를 수신하는 게이트에 존재하는 커패시터 성분에 의하여 RC 시간 지연이 초래된다.

<25> 특히, 도 1 의 경우, 복수개의 감지 증폭기 어레이가 병렬로 각각의 비트라인 신호와 연결되어 있으므로 커패시터 성분이 증대되어 RC 시간 지연이 매우 크다는 문제점이 있다.

<26> 전술한 바와같이, 종래의 경우, (1) 신호라인이 길어 저항이 커진다는 문제점과, (2) 복수개의 비트라인 감지 증폭기 어레이가 신호 라인과 병렬로 연결되어 있어 커패시터 성분이 커지고, 그에 따라 비트라인 신호 인가시에 시간 지연이 커진다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, (1) 비트라인 신호를 전달하는 신호 라인의 길이를 단축시켜 신호 라인의 저항을 감소시키고, (2) RC 시간 지연을 감소시킬 수 있는 비트라인 신호 발생기를 제공하고자 한다.

<28> 또한, 본 발명은 신호 라인 및 신호의 개수를 줄이기 위하여, 복수개의 비트라인 신호 (blp, bleqd, blequ)를 하나의 비트라인 신호로 대체하여 사용하는 비트라인 신호 발생기를 제공하고자 한다.

【발명의 구성 및 작용】

<29> 복수개의 비트라인 감지 증폭기 어레이를 구비하는 메모리 장치에 사용하는 본 발명에 따른 비트라인 프리차지 신호 발생기는 제 1 제어 신호를 발생하는 제어신호 발생부와, 제 1 제어 신호에 의하여 제어되는 복수개의 비트라인 프라차지 신호 드라이버를 구비한다.

<30> 여기서, 복수개의 비트라인 감지 증폭기 어레이와 복수개의 비트라인 프라차지 신호 드라이버는 교대로 위치하며, 각 비트라인 프라차지 신호 드라이버는 인접하여 있는 비트라인 감지 증폭기 어레이 각각에 제 2 신호를 인가한다.

- <31> 또한, 각 비트라인 감지 증폭기 어레이는 복수개의 비트라인 감지 증폭기를 포함하며, 제 2 신호는 상기 복수개의 비트라인 감지 증폭기 각각에 인가된다.
- <32> 여기서, 제 2 신호는 복수개의 비트라인 감지 증폭기에 필요한 비트라인 프리차지 신호이다.
- <33> 본 발명에 있어서, 비트라인 감지 증폭기 각각은 증폭부와, 증폭부 위쪽에 배치된 제 1 비트라인 이퀄라이징 트랜지스터(N1)와, 증폭부 위쪽에 배치된 제 1 비트라인 격리 트랜지스터(N11, N12)와, 증폭부 아래쪽에 위치한 제 2 비트라인 격리 트랜지스터(N21, N22)와, 증폭부 아래쪽에 위치한 제 2 비트라인 이퀄라이징 트랜지스터(N2)와, 증폭부와 제 2 비트라인 격리 트랜지스터 사이에 배치된 비트라인 프리차지 트랜지스터(N3, N4)를 구비하며, 제 1 및 제 2 비트라인 이퀄라이징 트랜지스터와 비트라인 프리차지 트랜지스터는 하나의 신호(bl_p)에 의하여 구동된다.
- <34> (실시예)
- <35> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.
- <36> 도 2a 는 본 발명에 따른 비트라인 프리차지 신호 발생기의 실시예의 블록도이다.
- <37> 도 2a 에 도시된 바와같이, 본 발명의 비트라인 프리차지 신호 발생기는 비트라인 프리차지 인에이블 신호(bl_{p_en})를 발생하는 제어신호 발생부(330)와, 제어신호 발생부(330)로부터 출력되는 제어 신호(bl_{p_en})에 의하여 그 동작이 제어되는 복수개의 비트라인 프리차지 신호 드라이버(320, 322, 324, 326)를 구비한다.

- <38> 먼저, 제어신호 발생부(330)의 구성의 일예는 도 2b 에 도시되어 있다. 도시된 바와같이, 입력신호(bsx_u, bsx_d)가 모두 하이 레벨인 경우, 제어신호 발생부(330)은 로우 레벨의 신호(bl_p_en)를 출력한다.
- <39> 다음, 비트라인 프라차지 신호 드라이버(320, 322, 324, 326) 각각은 복수개의 비트라인 감지증폭기 어레이(310, 312, 314, 316)사이 에 교대로 위치한다. 즉, 비트라인 프리차지 신호 드라이버(320)의 우측에 비트라인 감지증폭기 어레이(310)가 인접하여 위치하고, 비트라인 감지증폭기 어레이(310)의 우측에 비트라인 프리차지 신호 드라이버(322)가 인접하여 위치하며, 비트라인 프리차지 신호 드라이버(322)의 우측에 비트라인 감지증폭기 어레이(312)가 인접하여 위치하는 방식으로 나머지 비트라인 프리차지 신호 드라이버와 비트라인 감지증폭기 어레이도 동일한 방식으로 교대로 위치한다.
- <40> 비트라인 프라차지 신호 드라이버(320, 322, 324, 326) 각각은 인접한 비트라인 감지증폭기 어레이(310, 312, 314, 316)에 도시된 바와같이 비트라인 프리차지 신호(bl_p)를 인가한다.
- <41> 전술한 바와같이, 복수개의 비트라인 프라차지 신호 드라이버(320, 322, 324, 326)는 제어신호 발생부(330)에 의하여 제어되므로, 제어신호 발생부(330)에서 출력된 제어신호(bl_p_en)에 의하여 비트라인 프라차지 신호 드라이버(320, 322, 324, 326)가 인에이블되면, 비트라인 프라차지 신호 드라이버(320, 322, 324, 326) 각각은 비트라인 감지증폭기 어레이(310, 312, 314, 316)로 비트라인 프리차지 신호(bl_p)를 인가한다.
- <42> 도 3 은 도 2a 에 도시된 비트라인 감지증폭기 어레이 각각은 복수개의 비트 라인 감지 증폭기로 이루어짐을 설명하기 위한 도면이다.

- <43> 도시된 바와같이, 도 2a 의 비트라인 감지증폭기 어레이(312)는 인접한 2 개의 비트라인 프리차지 신호 드라이버(322, 324)로부터 비트라인 프리차지 신호(bl_p) 신호를 수신하고 있음을 알 수 있다. 도 1a 에 도시된 종래의 비트라인 프리차지 신호 발생기는 3 개의 신호(bl_p, ble_qd, ble_qu)를 발생하여 각 비트라인 감지 증폭기 어레이에 인가하고 있다. 그러나, 도 2a 와 도 4 에서 도시된 본 발명의 비트라인 프리차지 신호 드라이버는 하나의 비트라인 프리차지 신호(bl_p)를 출력하며, 이 신호(bl_p)는 비트라인 감지 증폭기 어레이에 필요한 3 개의 신호(bl_p, ble_qd, ble_qu)에 공통적으로 사용됨을 알 수 있다.
- <44> 따라서, 본 발명에 있어서, 3 개의 신호(bl_p, ble_qd, ble_qu)는 동시에 하이 레벨 또는 동시에 로우 레벨 상태를 가지며, 이는 종래의 기술과 상이하다.
- <45> 즉, 본 발명의 실시예에 사용된 비트라인 감지 증폭기의 구성은 도 1c 에 도시된 종래의 기술과 동일하지만, 그에 인가되는 신호는 상이하다. 본 발명의 비트라인 감지 증폭기는 증폭부와, 증폭부 위쪽에 배치된 제 1 비트라인 이퀄라이징 트랜지스터(N1)와, 증폭부 위쪽에 배치된 제 1 비트라인 격리 트랜지스터(N11, N12)와, 증폭부 아래쪽에 위치한 제 2 비트라인 격리 트랜지스터(N21, N22)와, 증폭부 아래쪽에 위치한 제 2 비트라인 이퀄라이징 트랜지스터(N2)와, 증폭부와 제 2 비트라인 격리 트랜지스터사이에 배치된 비트라인 프리차지 트랜지스터(N3, N4)를 구비하지만, 제 1 및 제 2 비트라인 이퀄라이징 트랜지스터와 비트라인 프리차지 트랜지스터는 하나의 신호(bl_p)에 의하여 구동된다.
- <46> 즉, 종래 기술의 경우, 프리차지 동작시(도 1c 참조)에는 신호 bl_p, ble_qu, ble_qd, C1, C2 가 모두 하이 레벨을 유지한다. 또한, 종래 기술의 경우, 상부 비트라인(BL, /BL)을 증폭하는 액티브 동작시, 신호 ble_qu 신호는 로우 레벨, 신호 ble_qd 신호는 하이 레벨, 신호 bl_p 는 로우 레벨, 신호 C1 은 하이 레벨, 신호 C2 는 로우 레벨을 유지한다. 여기서, 상부 비트

라인의 증폭시에도 신호 bleqd 가 하이 레벨로 동작하는 이유는 신호 C2 가 로우 레벨이기 때문에 하부 비트라인(BL, /BL)는 상부 비트라인 및 증폭부와 절연되어 있기 때문이다. 따라서, 신호 bleqd 신호의 상태가 하이 레벨이든 로우 레벨이든 감지 증폭기의 동작에는 어떠한 영향도 미치지 않는다. 종래 기술의 경우, 상부 비트라인의 증폭동작시, 신호 bleqd 를 하이 레벨로 두었던 이유는 프리차지 동작시에 하이 레벨이었던 신호 bleqd 를 굳이 로우 레벨로 변화시킬 이유가 없었기 때문이다. 또한, 종래 기술의 경우, 도 1a 에서와같이 비트라인 프리차지 신호와 관련된 신호는 3 개(bl_p, ble_q, ble_d)이었다. 따라서, 만일 본 발명의 비트라인 프리차지 신호 드라이버가 상기 3 개의신호를 모두 사용한다면 비트라인 프리차지 신호 드라이버로부터 출력되는 신호의 개수는 6 개가 된다. 일반적으로, 비트라인 감지 증폭기 영역에 인가되는 신호 라인의 수는 메모리 장치의 수율과 밀접한 관계가 있기 때문에 비트라인 프리차지 신호 드라이버로부터 출력되는 신호의 개수가 증가하는 것은 바람직하지 못하다. 반면에, 본 발명에서는 종래기술에서 개별적으로 동작하던 3 개의 신호(bl_p, ble_q, ble_d)를 하나의 신호에 의하여 구동하도록 하였다.

<47> 도 4 는 비트라인 프라차지 신호 드라이버의 일예를 도시한다.

<48> 도시된 바와같이, 비트라인 프라차지 신호 드라이버는 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 이루어지는 CMOS 인버터 형태이며, 하이 레벨의 제어신호(bip_{en})가 인가되는 경우 로우 레벨의 비트라인 프리차지 신호(bl_p)가 출력되고, 로우 레벨의 제어신호(bip_{en})가 인가되는 경우 하이 레벨의 비트라인 프리차지 신호(bl_p)가 출력된다.

<49> 도 2a 내지 4 에서 알 수 있는 바와같이, 본 발명에 따른 시간 지연은 비트라인 인에이블 신호(bl_p_{en})가 전달되는 라인의 저항과 도 4 에 도시된 복수개의 비트라인 프리차지 신호 드라이버의 입력단에 형성되는 게이트 용량과의 곱과, 각 비트라인 프리차지 신호 드라이버의

출력 신호 라인의 저항과 그 출력신호를 수신하는 비트라인 감지 증폭기 어레이의 용량과의 곱을 합하면, 그 결과는 전체 RC 시간 지연을 나타내며, 이는 도 1a 에 도시된 종래의 전체 지연 시간보다 작다.

【발명의 효과】

<50> 이상에서 알 수 있는 바와같이, 본 발명에 따른 비트라인 프리차지 신호 발생기를 사용하는 경우, 1) 짧은 시간내에 필요한 동작을 수행할 수 있으며, 2) 불필요한 신호 라인을 줄일 수 있으며, 3) 따라서 전체 레이 아웃 면적을 감소 시킬 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 비트라인 감지 증폭기 어레이를 구비하는 메모리 장치에 사용하는 비트라인 프리차지 신호 발생기에 있어서,

제 1 제어 신호를 발생하는 제어신호 발생부와,

상기 제 1 제어 신호에 의하여 제어되는 복수개의 비트라인 프라차지 신호 드라이버를 구비하며,

상기 각 비트라인 프라차지 신호 드라이버는 인접하여 있는 상기 비트라인 감지 증폭기 어레이 각각에 제 2 신호를 인가하는 것을 특징으로 하는 메모리 장치용 비트라인 프리차지 신호 발생기.

【청구항 2】

제 1 항에 있어서, 상기 복수개의 비트라인 감지 증폭기 어레이와 상기 복수개의 비트라인 프라차지 신호 드라이버는 교대로 위치하는 것을 특징으로 하는 메모리 장치용 비트라인 프리차지 신호 발생기.

【청구항 3】

제 1 항에 있어서, 상기 각 비트라인 감지 증폭기 어레이는 복수개의 비트라인 감지 증폭기를 포함하며,

상기 제 2 신호는 상기 복수개의 비트라인 감지 증폭기 각각에 인가되는 것을 특징으로 하는 메모리 장치용 비트라인 프리차지 신호 발생기.

【청구항 4】

제 3 항에 있어서, 상기 제 2 신호는 상기 복수개의 비트라인 감지 증폭기에 필요한 비트라인 프리차지 신호인 것을 특징으로 하는 메모리 장치용 비트라인 프리차지 신호 발생기.

【청구항 5】

제 3 항에 있어서, 상기 비트라인 감지 증폭기 각각은 증폭부와 ,

상기 증폭부 위쪽에 배치된 제 1 비트라인 이퀄라이징 트랜지스터와,

상기 증폭부 위쪽에 배치된 제 1 비트라인 격리 트랜지스터와,

상기 증폭부 아래쪽에 위치한 제 2 비트라인 격리 트랜지스터와,

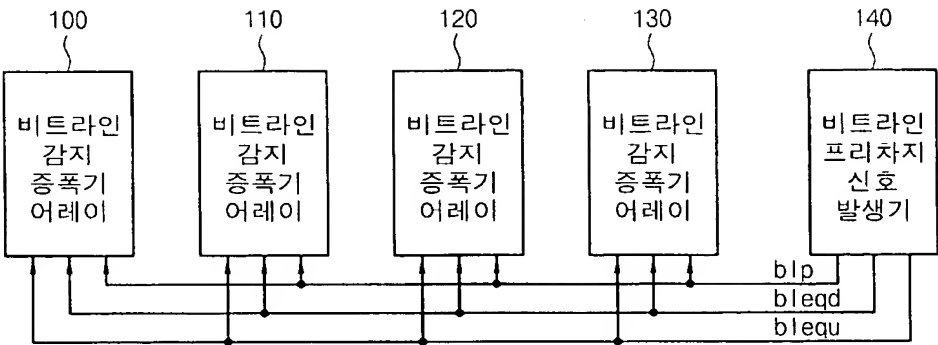
상기 증폭부 아래쪽에 위치한 제 2 비트라인 이퀄라이징 트랜지스터와,

상기 증폭부와 상기 제 2 비트라인 격리 트랜지스터사이에 배치된 비트라인 프리차지 트랜지스터를 구비하며,

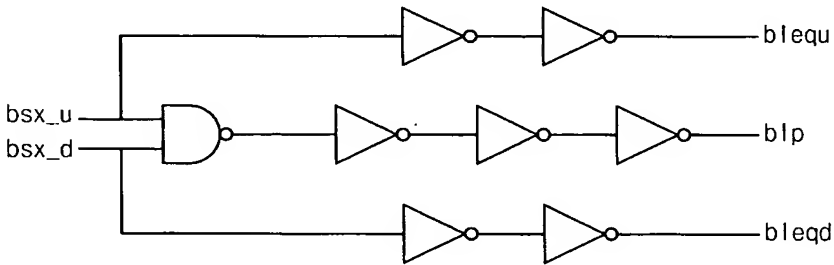
상기 제 1 및 제 2 비트라인 이퀄라이징 트랜지스터와 상기 비트라인 프리차지 트랜지스터는 상기 제 2 신호에 의하여 구동되는 것을 특징으로 하는 메모리 장치용 비트라인 프리차지 신호 발생기.

【도면】

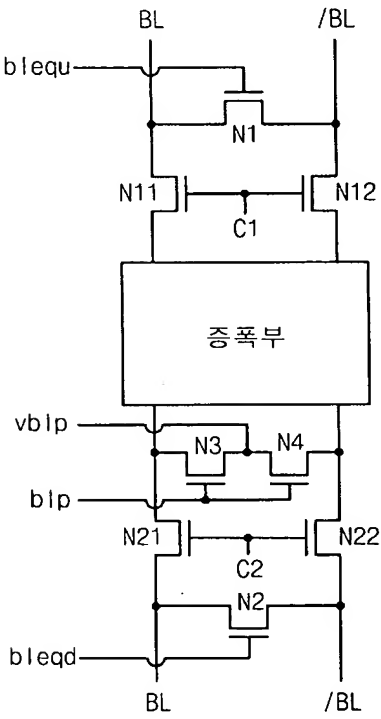
【도 1a】



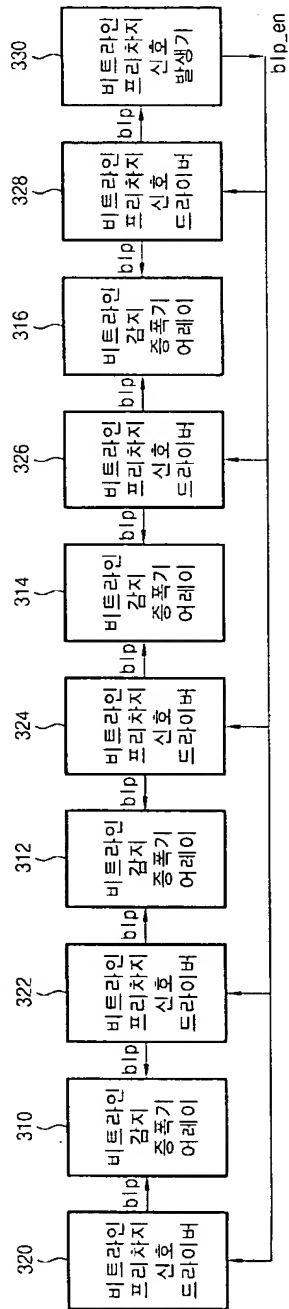
【도 1b】



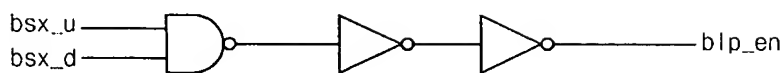
【도 1c】



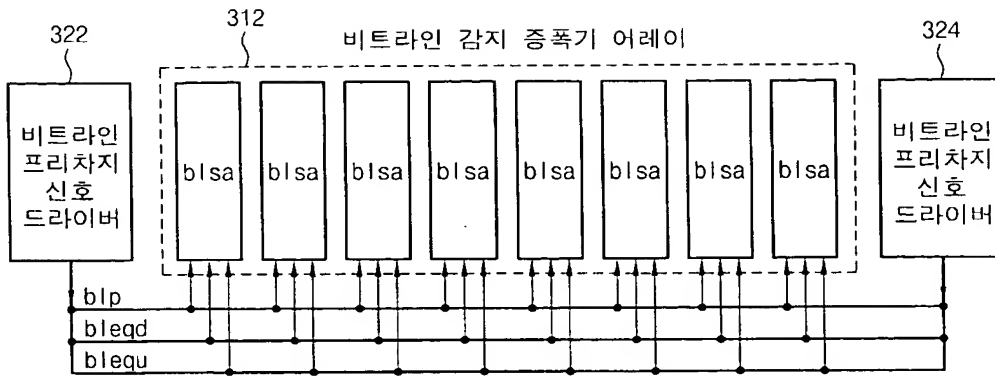
【도 2a】



【도 2b】



【도 3】



【도 4】

